

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015752

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 29/78

H01L 29/861

(21)Application number : 11-308523

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.10.1999

(72)Inventor : SHINDO YOICHI  
MIYASAKA YASUSHI  
FUJIHIRA TATSUHIKO  
TAKEI MANABU

(30)Priority

Priority number : 10319672  
11121224

Priority date : 11.11.1998  
28.04.1999

Priority country : JP

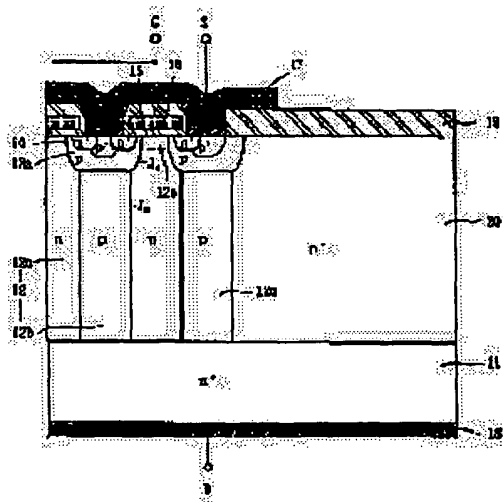
JP

## (54) SUPERJUNCTION SEMICONDUCTOR ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To elevate breakdown strength, in a superjunction semiconductor element which is equipped with a drift layer, consisting of parallel pn layers letting current flow in on conditions and also being depleted in off conditions.

**SOLUTION:** This superjunction semiconductor element is provided with an n high-resistance region 20, around a drift layer 12 consisting of parallel pn layers composed of n drift regions 12a and p partition regions 12b, and concentration  $ND$  of the impurities in the high-resistance region 20 is set at  $5.62 \times 10^{17} \times VDSS^{-1.36}$  ( $cm^{-3}$ ) or lower. But,  $VDSS$  shows breakdown strength (V). Furthermore, an n-channel stopper region adjacent to the high-resistance region 20 is arranged.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15752

(P2001-15752A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 29/78

29/861

識別記号

F I

H 0 1 L 29/78

29/91

データベース (参考)

6 5 2 H

6 5 2 N

D

審査請求 未請求 請求項の数16 O L (全 9 頁)

(21) 出願番号 特願平11-308523

(22) 出願日 平成11年10月29日 (1999. 10. 29)

(31) 優先権主張番号 特願平10-319672

(32) 優先日 平成10年11月11日 (1998. 11. 11)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-121224

(32) 優先日 平成11年4月28日 (1999. 4. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 進藤 洋一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 宮坂 靖

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

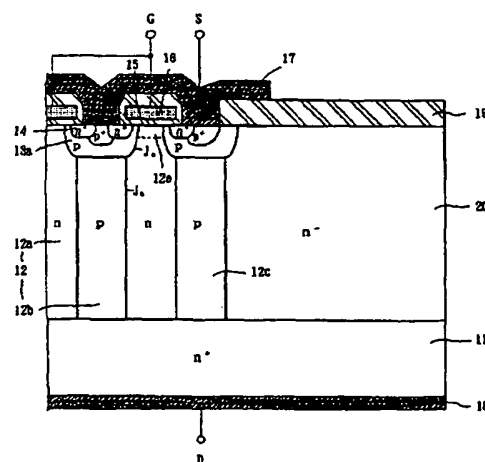
最終頁に続く

(54) 【発明の名称】 超接合半導体素子およびその製造方法

(57) 【要約】

【課題】 オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなるドリフト層を備えた超接合半導体素子において、高耐圧化を図る。

【解決手段】 n ドリフト領域 12 a と p 仕切り領域 12 b との並列 p n 層からなるドリフト層 12 の周囲に、n<sup>-</sup>高抵抗領域 20 を設け、その n<sup>-</sup>高抵抗領域 20 の不純物濃度 N<sub>D</sub> を  $5.62 \times 10^{17} \times V_{DS}^{-1.36}$  (cm<sup>-3</sup>) 以下とする。但し V<sub>DS</sub> は耐圧 (V) である。更に n<sup>-</sup>高抵抗領域 20 に隣接する n チャネルストップ領域 21 を配置する。



- |                         |                         |
|-------------------------|-------------------------|
| 11 n <sup>+</sup> ドレイン層 | 15 ゲート絶縁層               |
| 12 ドリフト層                | 16 ゲート電極層               |
| 12a n ドリフト領域            | 17 ソース電極                |
| 12b p 仕切り領域             | 18 ドレイン電極               |
| 12c n チャネル領域            | 19 絶縁膜                  |
| 13a p ウェル領域             | 20 n <sup>-</sup> 高抵抗領域 |
| 14 n <sup>+</sup> ソース領域 |                         |

1

## 【特許請求の範囲】

【請求項 1】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、並列 p n 層の周囲に、第一導電型または第二導電型の低抵抗領域を有することを特徴とする超接合半導体素子。

【請求項 2】並列 p n 層の周囲の高抵抗領域の不純物濃度  $N_D$  が、超接合半導体素子の耐圧を  $V_{DSS}$  (V) としたとき、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$  ( $\text{cm}^{-3}$ ) 以下であることを特徴とする請求項 1 記載の超接合半導体素子。

【請求項 3】高抵抗領域の周囲にドリフト領域と同一導電型のチャネルストップ領域を有することを特徴とする請求項 1 または 2 に記載の超接合半導体素子。

【請求項 4】高抵抗領域の表面に絶縁膜を有することを特徴とする請求項 1 または 2 に記載の超接合半導体素子。

【請求項 5】前記チャネルストップ領域が、並列 p n 層の下方に形成されている低抵抗層と連続していることを特徴とする請求項 4 に記載の超接合半導体素子。

【請求項 6】並列 p n 層の周囲に、第一導電型の低抵抗領域を有するとき、最外側の第二導電型仕切り領域の正味の不純物量が、内側の並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 1 に記載の超接合半導体素子。

【請求項 7】コーナー部における第二導電型仕切り領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 6 に記載の超接合半導体素子。

【請求項 8】並列 p n 層の周囲に、第二導電型の低抵抗領域を有するとき、最外側の第一導電型ドリフト領域の正味の不純物量が、内側の並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 1 に記載の超接合半導体素子。

【請求項 9】コーナー部における第一導電型ドリフト領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 8 に記載の超接合半導体素子。

【請求項 10】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子の製造方法において、低抵抗半導体基体上に、一回以上の第一導電型高抵抗エピタキシャル層の成長と、それに続く部分的なイオン注入による不純物のドーピングをおこない、熱処理により不純物を拡散させて第一導電型ド

2

リフト領域と、第二導電型仕切り領域とを形成するとき、最外側の第二導電型仕切り領域のイオン注入面積を、その内側の並列 p n 層の各領域のイオン注入面積よりも小さく設定し、最外側の第二導電型仕切り領域と、その内側の並列 p n 層の各領域の正味の不純物量をほぼ等しくすることを特徴とする超接合半導体素子の製造方法。

【請求項 11】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子の製造方法において、低抵抗半導体基体上に、一回以上の第二導電型高抵抗エピタキシャル層の成長と、それに続く選択的なイオン注入による不純物のドーピングをおこない、熱処理により不純物を拡散させて第一導電型ドリフト領域と、第二導電型仕切り領域とを形成するとき、最外側の第一導電型ドリフト領域のイオン注入面積を、その内側の並列 p n 層の各領域のイオン注入面積よりも小さく設定し、最外側の第一導電型ドリフト領域と、その内側の並列 p n 層の各領域の正味の不純物量をほぼ等しくすることを特徴とする超接合半導体素子の製造方法。

【請求項 12】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、並列 p n 層の周囲に、ドリフト領域と同一導電型のチャネルストップ領域を有することを特徴とする超接合半導体素子。

【請求項 13】前記チャネルストップ領域が、半導体素子の側面に形成されていることを特徴とする請求項 12 記載の超接合半導体素子。

【請求項 14】前記チャネルストップ領域が、並列 p n 層の側面を覆っていることを特徴とする請求項 12 記載の超接合半導体素子。

【請求項 15】前記チャネルストップ領域が、並列 p n 層の下方に形成されている低抵抗層と連続していることを特徴とする請求項 12 に記載の超接合半導体素子。

【請求項 16】前記チャネルストップ領域にチャネルストップ電極が接続されていることを特徴とする請求項 12 記載の超接合半導体素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなる特別な縦型構造を備える MOSFET (絶縁ゲート型電界効果トランジスタ)、IGBT (絶縁ゲートバイポーラトランジスタ)、バイポーラトランジスタ、ダ

1

## 【特許請求の範囲】

【請求項 1】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、並列 p n 層の周囲に、第一導電型または第二導電型の低抵抗領域を有することを特徴とする超接合半導体素子。

【請求項 2】並列 p n 層の周囲の高抵抗領域の不純物濃度  $N_D$  が、超接合半導体素子の耐圧を  $V_{DSS}$  (V) としたとき、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$  ( $\text{cm}^{-3}$ ) 以下であることを特徴とする請求項 1 記載の超接合半導体素子。

【請求項 3】高抵抗領域の周囲にドリフト領域と同一導電型のチャネルストップ領域を有することを特徴とする請求項 1 または 2 に記載の超接合半導体素子。

【請求項 4】高抵抗領域の表面に絶縁膜を有することを特徴とする請求項 1 または 2 に記載の超接合半導体素子。

【請求項 5】前記チャネルストップ領域が、並列 p n 層の下方に形成されている低抵抗層と連続していることを特徴とする請求項 4 に記載の超接合半導体素子。

【請求項 6】並列 p n 層の周囲に、第一導電型の低抵抗領域を有するとき、最外側の第二導電型仕切り領域の正味の不純物量が、内側の並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 1 に記載の超接合半導体素子。

【請求項 7】コーナー部における第二導電型仕切り領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 6 に記載の超接合半導体素子。

【請求項 8】並列 p n 層の周囲に、第二導電型の低抵抗領域を有するとき、最外側の第一導電型ドリフト領域の正味の不純物量が、内側の並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 1 に記載の超接合半導体素子。

【請求項 9】コーナー部における第一導電型ドリフト領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量とほぼ等しいことを特徴とする請求項 8 に記載の超接合半導体素子。

【請求項 10】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子の製造方法において、低抵抗半導体基体上に、一回以上の第一導電型高抵抗エピタキシャル層の成長と、それに続く部分的なイオン注入による不純物のドーピングをおこない、熱処理により不純物を拡散させて第一導電型ド

2

リフト領域と、第二導電型仕切り領域とを形成するとき、最外側の第二導電型仕切り領域のイオン注入面積を、その内側の並列 p n 層の各領域のイオン注入面積よりも小さく設定し、最外側の第二導電型仕切り領域と、その内側の並列 p n 層の各領域の正味の不純物量をほぼ等しくすることを特徴とする超接合半導体素子の製造方法。

【請求項 11】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子の製造方法において、低抵抗半導体基体上に、一回以上の第二導電型高抵抗エピタキシャル層の成長と、それに続く選択的なイオン注入による不純物のドーピングをおこない、熱処理により不純物を拡散させて第一導電型ドリフト領域と、第二導電型仕切り領域とを形成するとき、最外側の第一導電型ドリフト領域のイオン注入面積を、その内側の並列 p n 層の各領域のイオン注入面積よりも小さく設定し、最外側の第一導電型ドリフト領域と、その内側の並列 p n 層の各領域の正味の不純物量をほぼ等しくすることを特徴とする超接合半導体素子の製造方法。

【請求項 12】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、並列 p n 層の周囲に、ドリフト領域と同一導電型のチャネルストップ領域を有することを特徴とする超接合半導体素子。

【請求項 13】前記チャネルストップ領域が、半導体素子の側面に形成されていることを特徴とする請求項 12 記載の超接合半導体素子。

【請求項 14】前記チャネルストップ領域が、並列 p n 層の側面を覆っていることを特徴とする請求項 12 記載の超接合半導体素子。

【請求項 15】前記チャネルストップ領域が、並列 p n 層の下方に形成されている低抵抗層と連続していることを特徴とする請求項 12 に記載の超接合半導体素子。

【請求項 16】前記チャネルストップ領域にチャネルストップ電極が接続されていることを特徴とする請求項 12 記載の超接合半導体素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなる特別な縦型構造を備える MOSFET (絶縁ゲート型電界効果トランジスタ)、IGBT (絶縁ゲートバイポーラトランジスタ)、バイポーラトランジスタ、ダ

3

イオード等の半導体素子およびその製造方法に関する。

【0002】

〔従来の技術〕相対向する二つの主面に設けられた電極間に電流が流される縦型半導体素子において、高耐圧化を図るには、両電極間の高抵抗層の厚さを厚くしなければならず、一方そのように厚い高抵抗層をもつ素子では、必然的に両電極間のオン抵抗が大きくなり、損失が増すことになることが避けられなかった。すなわちオン抵抗（電流容量）と耐圧間にはトレードオフ関係がある。このトレードオフ関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。またこの問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向とが異なる横型半導体素子についても共通である。

【0003】この問題に対する解決法として、ドリフト層を、不純物濃度を高めたn型の領域とp型の領域とを交互に積層した並列pn層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が、EP0053854、USP5216275、USP5438215および本発明の発明者らによる特開平9-266311号公報に開示されている。

【0004】図10は、USP5216275に開示された半導体装置の一実施例である縦型MOSFETの部分断面図である。通常の縦型半導体素子では単一層とされるドリフト層12がnドリフト領域12aとp仕切り領域12bとからなる並列pn層とされている点特徴的である。13aはpウェル領域、13bはp+コンタクト領域、14はn+ソース領域、15はゲート絶縁膜、16はゲート電極、17はソース電極、18はドレイン電極である。

【0005】このドリフト層12は例えば、n+ドレイン層11をサブストレートとしてエピタキシャル法により、高抵抗のn型層を成長し、選択的にn+ドレイン層11に達するトレンチをエッチングしてnドリフト領域12aとした後、更にトレンチ内にエピタキシャル法によりp型層を成長してp仕切り領域12bが形成される。

【0006】なお本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列pn層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

【0007】

〔発明が解決しようとする課題〕しかし、前記の発明ではいずれも、電流の流れる並列pn層からなるドリフト層の部分の記載がなされているのみで、高耐圧を実現するために通常半導体素子の周辺部に設けられる耐圧構造の記載が無い。仮に、耐圧構造が設けられず、並列pn層からなるドリフト層の部分だけであると、高耐圧は実現できない。

4

【0008】一般的な耐圧構造としては、例えばガードリングやフィールドプレートなどが想定される。ガードリングやフィールドプレートなどを設けるには、そのための最適な構造とするための設計が必要であり、また、その構造を実現するためのマスク形成、不純物導入および拡散、或いは金属膜被着およびそのパターニングというような工程が必要である。

【0009】このような状況に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に改善し、しかも高耐圧を容易に実現しうる超接合半導体素子を提供することにある。

【0010】

〔課題を解決するための手段〕上記の課題解決のため本発明は、第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、並列pn層の周囲に、第一導電型または第二導電型の高抵抗領域を有するものとする。

【0011】並列pn層の周囲に高抵抗領域を設けて、逆電圧印加時の空乏層がその高抵抗領域にひろがるようにすれば、高耐圧を保持できる。特に、その並列pn層の周囲の高抵抗領域の不純物濃度 $N_D$ が、超接合半導体素子の耐圧を $V_{DSS}$  (V) としたとき、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$  (cm<sup>-3</sup>) 以下であるものとする。

【0012】後述するように $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$  (cm<sup>-3</sup>) 以下の低濃度であれば、特に従来のようなガードリング構造等を設けなくても、空乏層が十分広がるので、高耐圧素子とすることができる。もちろんガードリング構造等を設けてもよい。また、高抵抗領域の周囲にドリフト領域と同一導電型のチャネルストップ領域を有し、そのチャネルストップ領域が半導体基体領域の下部に形成されている低抵抗層と連続しているものとする。

【0013】高抵抗領域の周囲に高抵抗領域と同一導電型のチャネルストップ領域を設けて、チャネルストップとすることにより、漏れ電流を低減できる。高抵抗領域の表面に絶縁膜を有するものとするにより、表面を保護するとともに表面の安定化を図ることができる。そして、もっとも単純な構造としては、半導体チップ側面が、前記チャネルストップ領域で覆われているものとするれば良い。この、チャネルストップ領域を形成することで表面の反転を防止でき、かつ絶縁耐圧の安定化が図られる。この時に、チャネルストップ領域の表面にチャネルストップ電極を接続することが有効である。

【0014】並列pn層の周囲に、第一導電型の高抵抗領域を有するとき、最外側の第二導電型仕切り領域の、並列pn層の周囲に、第二導電型の高抵抗領域を有するとき、最外側の第一導電型ドリフト領域の正味の不純物

5

量を、その内側の並列pn層の各領域の正味の不純物量とほぼ等しくすることが必要である。内側の並列pn層の各領域では、両側を逆導電型でほぼ等しい不純物濃度の領域に挟まれているのに対し、最外側の領域は片側で高抵抗領域と接することになる。そのため、逆導電型の不純物でコンペントされる量が少なくなり、結果的に正味の不純物量が多くなってしまふ。そうすると空乏化がアンバランスになり、耐圧が低下することになる。耐圧を確保するためには、その内側の並列pn層の各領域の正味の不純物量とほぼ等しくすることが重要である。

【0015】並列pn層の周囲に、第一導電型の高抵抗領域を有するとき、コーナー部における第二導電型仕切り領域、並列pn層の周囲に、第二導電型の高抵抗領域を有するとき、コーナー部における第一導電型ドリフト領域の端部の正味の不純物量が、並列pn層の各領域の正味の不純物量とほぼ等しくすることが必要である。コーナー部においても上と同様の機構で正味の不純物量が多くなり、耐圧が低下する。それを防止するためである。

【0016】上記のような超接合半導体素子の製造方法としては、最外側の第二導電型仕切り領域のイオン注入面積を、その内側の並列pn層の各領域のイオン注入面積よりも小さく設定し、最外側の第二導電型仕切り領域と、その内側の並列pn層の各領域の正味の不純物量をほぼ等しくする。そのようにして最外側の第二導電型仕切り領域の不純物量を制御することができる。並列pn層の最外側が第一導電型ドリフト領域の場合も同様とする。

【0017】

【発明の実施の形態】以下に本発明の実施の形態を添付図面に基づいて説明する。なお以下でnまたはpを冠記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。またhは比較的高不純物濃度の、-hは比較的低不純物濃度の領域をそれぞれ意味している。

【実施例1】図1は、本発明の実施例1の縦型の超接合MOSFETの周縁部の部分断面図であり、図の右側がnチャネル型MOSFETの端である。

【0018】図1において、11は低抵抗のn<sup>+</sup>ドレイン層、12はnドリフト領域12a、p仕切り領域12bとからなる並列pn層のドリフト層である。表面層には、p仕切り領域12bに接続してpウェル領域13aが形成されている。pウェル領域13aの内部にn<sup>+</sup>ソース領域14と高濃度のp<sup>+</sup>コンタクト領域13bとが形成されている。n<sup>+</sup>ソース領域14とnドリフト領域12aとに挟まれたpウェル領域13aの表面上には、ゲート絶縁膜15を介して多結晶シリコンのゲート電極層16が、また、n<sup>+</sup>ソース領域14と高濃度のp<sup>+</sup>コンタクト領域13bの表面に共通に接触するソース電極1

6

7が設けられている。n<sup>+</sup>ドレイン層11の裏面にはドレイン電極18が設けられている。19は表面保護および安定化のための絶縁膜であり、例えば、熱酸化膜と燐シリカガラス(PSG)からなる。ソース電極17は、図のように層間絶縁膜19aを介してゲート電極層16の上に延長されることが多い。図示しない部分で、ゲート電極層16上に金属膜のゲート電極が設けられている。ドリフト層12のうちドリフト電流が流れるのは、nドリフト領域12aであるが、以下ではp仕切り領域12bを含めた並列pn層をドリフト層12と呼ぶことにする。

【0019】nドリフト領域12aとp仕切り領域12bとの平面的な形状は、例えばともにストライプ状とする。超接合半導体素子の基本的な構造であるドリフト層12の周縁で、p仕切り領域12bの外側にn-高抵抗領域20が形成されている点がポイントである。nドリフト領域12aとp仕切り領域12bとの平面的な形状は、他に一方が格子状や網状であり、他方がその中に挟まれた形状でも良い。その多様な配置が考えられる。

【0020】例えば、700VクラスのMOSFETとして、各部の寸法および不純物濃度等は次のような値をとる。n<sup>+</sup>ドレイン層11の比抵抗は0.01Ω・cm、厚さ350μm、ドリフト層12の厚さ48μm、nドリフト領域12aおよびp仕切り領域12bの幅5μm(すなわち、同じ領域の中心間隔10μm)、平均不純物濃度 $3.5 \times 10^{15} \text{cm}^{-3}$ 、pウェル領域13aの拡散深さ1μm、表面不純物濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、n<sup>+</sup>ソース領域14の拡散深さ0.3μm、表面不純物濃度 $1 \times 10^{20} \text{cm}^{-3}$ 、n-高抵抗領域20の不純物濃度 $7.6 \times 10^{13} \text{cm}^{-3}$ 以下、幅200μmである。

【0021】n-高抵抗領域20は、例えばエピタキシャル成長により形成される。nドリフト領域12aはn-高抵抗領域20に設けられた掘り下げ部にエピタキシャル成長により充填され、更にp仕切り領域12bは、nドリフト領域12aに設けられた掘り下げ部にエピタキシャル成長により充填して形成する。図2(a)は、不純物濃度プロファイルである。p仕切り領域12bは、nドリフト領域12aと最高不純物濃度を等しく、幅も略等しくするのが、両者を空乏化して高耐圧化するのに有利である。

【0022】図1の超接合MOSFETの動作は、次のようにおこなわれる。ゲート電極層16に所定の正の電圧が印加されると、ゲート電極層16直下のpウェル領域13aの表面層に反転層が誘起され、n<sup>+</sup>ソース領域14から反転層を通じてnチャネル領域12eに電子が注入される。その注入された電子がnドリフト領域12aを通じてn<sup>+</sup>ドレイン層11に達し、ドレイン電極18、ソース電極17間が導通する。

【0023】ゲート電極層16への正の電圧が取り去られると、pウェル領域13aの表面層に誘起された反転

7

層が消滅し、ドレイン電極18、ソース電極17間が遮断される。更に、逆バイアス電圧を大きくすると、各p仕切り領域12bはpウェル領域13aを介してソース電極17で連結されているので、pウェル領域13aとnチャネル領域12eとの間のpn接合Ja、nドリフト領域12aとp仕切り領域12bとの間のpn接合Jbからそれぞれ空乏層がnドリフト領域12a、p仕切り領域12b内に広がってこれらが空乏化される。

【0024】pn接合Jbからの空乏端は、nドリフト領域12aの幅方向に広がり、しかも両側のp仕切り領域12bから空乏層が広がるので空乏化が非常に早まる。従って、nドリフト領域12aの不純物濃度を高めることができる。またp仕切り領域12bも同時に空乏化される。p仕切り領域12bも両側のpn接合から空乏層が広がるので空乏化が非常に早まる。p仕切り領域12bとnドリフト領域12aとを交互に形成することにより、隣接するnドリフト領域12aの双方へ空乏端が進入するようになっているので、空乏層形成のためのp仕切り領域12bの総占有幅を半減でき、その分、nドリフト領域12aの断面積の拡大を図ることができ

る。【0025】例えば、従来の単層の高抵抗ドリフト層を持つ縦型MOSFETでは、700Vクラスの耐圧とするためには、ドリフト層12の不純物濃度としては $2 \times 10^{14} \text{ cm}^{-3}$ 、厚さ80 $\mu\text{m}$ 程度必要であったが、本実施例の超接合MOSFETでは、nドリフト領域12aの不純物濃度を高くしたことで、そのことによりドリフト層12の厚さを薄くできたため、オン抵抗としては約10分の1に低減でき、しかも耐圧は十分に確保される。

【0026】n-高抵抗領域20の不純物濃度を変えて同様のnチャネル型MOSFETを試作し、またその特性をデバイスシミュレーションにより確認した。図3は、nチャネル型MOSFETの耐圧( $V_{\text{DSS}}$ )の不純物濃度依存性を示す特性図である。横軸は、n-高抵抗領域20の不純物濃度、縦軸は耐圧( $V_{\text{DSS}}$ )である。ドリフト層12の深さをパラメータとしてあり、各線は同じ深さについてn-高抵抗領域20の不純物濃度を変化させた場合の結果である。

【0027】n-高抵抗領域20の不純物濃度 $N_D$ が、 $5.62 \times 10^{17} \times V_{\text{DSS}}^{-1.36} (\text{cm}^{-3})$ を越えた範囲では不純物濃度とともに耐圧が低下しているが、それ以下の範囲では、耐圧が殆ど変化せず、一定になっている。これは、素子耐圧がn-高抵抗領域20の不純物濃度によらず、内部のドリフト層12の部分で決定されていることを意味している。

【0028】限界不純物濃度は耐圧 $V_{\text{DSS}}$ の1.36乗に逆比例しているため、高い定格電圧のMOSFETの場合には、低い不純物濃度でなければならず、また低い定格電圧のMOSFETでは、高い不純物濃度で良い。

8

本実施例1の超接合MOSFETでは、通常おこなわれるガードリング構造やフィールドプレート構造とするとより単純な構造の耐圧構造を設けることができた。従って、工程数が少なくすむという利点がある。もちろんガードリング構造やフィールドプレート構造を設けて更に耐圧を高めてもよい。

【0029】なお、nドリフト領域12aの幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減、およびオン抵抗と耐圧とのトレードオフ関係の改善が可能である。

【実施例2】図1のような断面をもつ超接合MOSFETの並列pn層の製造方法として、エピタキシャル成長の前に部分的に不純物の埋め込み領域を形成しておいてから、n-高抵抗領域20をエピタキシャル成長する工程を数回繰り返した後、熱処理により拡散させてnドリフト領域12aとp仕切り領域12bとを形成することもできる。

【0030】図4は、不純物の埋め込み拡散とエピタキシャル成長する工程を数回繰り返して形成した超接合MOSFETの周縁部の部分断面図である。図1の断面図との違いはnドリフト領域12aとp仕切り領域12bとの内部に破線で等濃度線を示したような不純物濃度分布があることである。いま、高抵抗領域20がn型であり、並列pn層の最外側がp仕切り領域である場合、その最外側のp仕切り領域を12cとし、内側のp仕切り領域を12bとする。

【0031】p仕切り領域12b、12cを、アクセプタ不純物の選択的な注入と熱拡散によって形成すると、本来約750Vあるべき耐圧が約600Vに低下した。

図2(b)は、この原因を説明する不純物濃度プロファイルである。破線はドナー不純物の、一点鎖線はアクセプタ不純物の濃度を示し、実線は両者の差の正味不純物濃度を示している。

【0032】p仕切り領域12b、12cを、同じ幅のマスクを使用してイオン注入するとき、p仕切り領域12bは、両側をnドリフト領域12aで挟まれており、一方p仕切り領域12cは、片側がnドリフト領域12aであり、もう一方の側はn-高抵抗領域20となっている。そのため、n-高抵抗領域20の側でp仕切り領域12cのアクセプタ不純物をコンペントする量が減少する。

【0033】その結果、p仕切り領域12cは、p仕切り領域12bより幅が広く、最高不純物濃度も高くなってしまうのである。図5は、耐圧のp仕切り領域12cの正味不純物量依存性を示す特性図である。横軸はp仕切り領域を12bの正味不純物量で規格化したp仕切り領域12cの正味不純物量、縦軸は耐圧である。

【0034】図からp仕切り領域12cの不純物量には最適値があり、p仕切り領域12bの不純物量と同じにしたとき耐圧が最大になり、それからはずれると耐圧は

9

低下することがわかる。これは外れた範囲で、p仕切り領域12b、12cと、nドリフト領域12aとの不純物量を等しくするという条件が満たされないためである。

【0035】実際にイオン注入および熱拡散によりp仕切り領域12bとp仕切り領域12cとを同時に形成しながら、それらの正味不純物量を制御するには、イオン注入の際のマスク幅を変える方法を取ることができる。図6は、耐圧の最外側のp仕切り領域12cのマスク幅依存性を示す特性図である。横軸はp仕切り領域12cのマスク幅、縦軸は耐圧である。p仕切り領域12bのマスク幅は2.5 $\mu\text{m}$ 、ほう素ドーザ量を $1 \times 10^{13} \text{cm}^{-2}$ とした場合である。

【0036】最外側のp仕切り領域12cのマスク幅には、耐圧を最大化するための最適値があること、それ以下でもそれ以上でも耐圧が低下すること、その最適値はp仕切り領域12bの正味不純物総量と等しくする量であることがわかる。例えば最外側のp仕切り領域12cのマスク幅を内側のp仕切り領域12bと同じとした場合は、耐圧は約600Vに低下する。

【0037】図7はp仕切り領域12cのマスク幅を1.6 $\mu\text{m}$ としたときの不純物濃度プロファイルである。破線はドナー不純物の、一点鎖線はアクセプタ不純物の濃度を示し、実線は両者の差の正味不純物濃度を示している。p仕切り領域12cは注入量が減らされているため、最高不純物濃度が低くなっているが、n-高抵抗領域20側へ幅が広がっている。

【0038】図8は最適化したイオン注入用マスクのコーナー部の拡大図である。最外側のp仕切り領域の形成部12Cおよびコーナー部のp仕切り領域の形成部端部12Dにおいて、マスク幅が狭くなっているのが見られる。例えば内側のp仕切り領域形成部12Bのマスク幅は2.5 $\mu\text{m}$ であり、最外側のp仕切り領域の形成部12Cおよびコーナー部のp仕切り領域の形成部端部12Dのマスク幅は1.6 $\mu\text{m}$ である。点線12Aはnドリフト領域形成のためのマスクの位置を示している。破線はp仕切り領域の形成部12Cおよびコーナー部のp仕切り領域の形成部端部12Dの端を仮に結んだ線であり、一例として四分円弧状である。

【0039】以上の事項は、並列pn層の最外側がnドリフト領域の場合にも成立することは勿論である。

【実施例3】図9は、本発明の実施例3の縦型の超接合MOSFETの部分断面図であり、やはりnチャネルMOSFETの場合である。

【0040】図9において、p仕切り領域12bの周囲にn-高抵抗領域20が配置されているのは図1と同じであるが、そのn-高抵抗領域20に隣接してnチャネルストップ領域21が配置されており、nチャネルストップ領域21はまた、n<sup>+</sup>ドレイン層11とつながっている。そして、半導体チップ側面全てがこのnチャネル

10

ストップ領域21に覆われており、nチャネルストップ領域21の表面に接触してチャネルストップ電極22が設けられている。

【0041】この場合は、n-高抵抗領域20の幅を実施例1より狭くして、例えば150 $\mu\text{m}$ として、実施例1と同じ耐圧を確保することができる。このnチャネルストップ領域21は、表面の反転を防止するチャネルストップとなるだけでなく、チップの側面もすべてドレイン電極18の電位とすることが可能になり、これによって、素子の絶縁耐圧は安定化し、品質も向上する。

【0042】但し、nチャネルストップ領域21が必ずチップ側面でなければならないわけではなく、nチャネルストップ領域21を挟んで反対側の半導体領域に別の半導体素子や半導体領域を形成することもできる。また、nチャネルストップ領域21とチャネルストップ電極22のみをドリフト層12の周囲に設けてもある程度の特性改善が図られる。

【0043】なお、以上の実施例はいずれもnチャネル型のMOSFETとしたが、MOSFETだけでなく、IGBTでも同様の効果が得られる。またpnダイオード、ショットキーバリアダイオード、バイポーラトランジスタでも同様の効果が得られる。

【0044】

【発明の効果】以上説明したように本発明は、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、並列pn層の周囲に、第一導電型または第二導電型の高抵抗領域を配置することによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ、高耐圧を容易に実現できるようになった。

【0045】特に、高抵抗領域の不純物濃度 $N_D$  ( $\text{cm}^{-3}$ )を、 $5.62 \times 10^{17} \times V_{DS}^{-1.36}$  (V)以下とすることにより、空乏層が十分広がり、高耐圧の超接合半導体素子が実現でき、また、高抵抗領域の周囲に低抵抗領域を配することにより、一層安定した特性とすることができる。

【図面の簡単な説明】

【図1】本発明実施例1の超接合MOSFETの部分断面図

【図2】(a)は実施例1の超接合MOSFETにおける不純物濃度プロファイル図、(b)は実施例2の超接合MOSFETにおける不純物濃度プロファイル図

【図3】実施例1の超接合MOSFETにおける耐圧のn-高抵抗領域20の不純物濃度依存性を示す特性図

【図4】本発明実施例2の超接合MOSFETの部分断面図

【図5】実施例2の超接合MOSFETにおける耐圧のp仕切り領域12cの不純物濃度依存性を示す特性図

【図6】実施例2の超接合MOSFETにおける耐圧の



11  
p 仕切り領域 12c のイオン注入マスク幅依存性を示す特性図

・【図 7】最適化した実施例 2 の超接合 MOSFET における不純物濃度プロファイル図

【図 8】実施例 2 の超接合 MOSFET における p 仕切り領域のイオン注入マスクの拡大図

【図 9】本発明実施例 3 の超接合 MOSFET の部分断面図

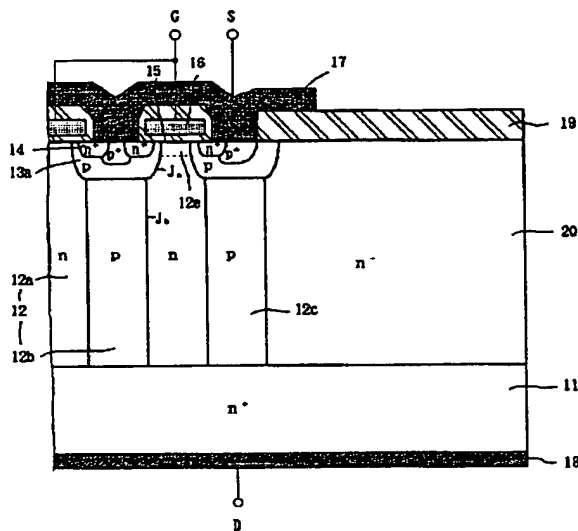
【図 10】超接合 MOSFET の基本的な構造部分の部分断面図

【符号の説明】

11 n<sup>+</sup>ドレイン層  
12 ドリフト層  
12a nドリフト領域

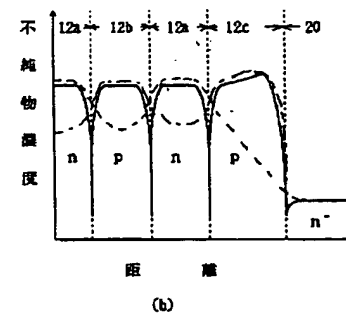
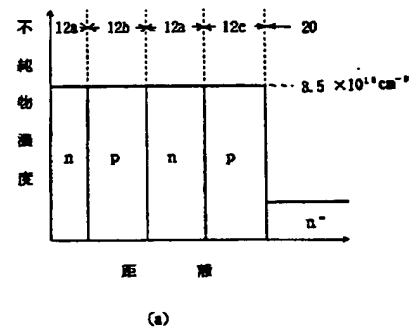
\* 12b p 仕切り領域  
12c 最外側の p 仕切り領域  
12e nチャネル領域  
13a pウェル領域  
13b p<sup>+</sup>コンタクト領域  
14 n<sup>+</sup>ソース領域  
1 ゲート絶縁膜  
2 ゲート電極層  
3 ソース電極  
4 ドレイン電極  
5 絶縁膜  
6 n<sup>-</sup>高抵抗領域  
7 nチャネルストッパ領域  
\* 8 チャネルストッパ電極

【図 1】

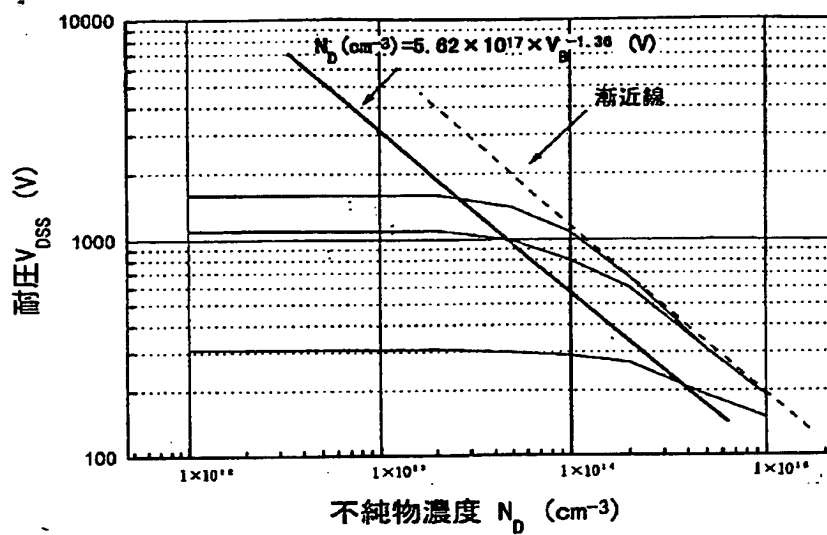


11 n<sup>+</sup>ドレイン層  
12 ドリフト層  
12a nドリフト領域  
12b p仕切り領域  
12e nチャネル領域  
13a pウェル領域  
14 n<sup>+</sup>ソース領域  
15 ゲート絶縁膜  
16 ゲート電極層  
17 ソース電極  
18 ドレイン電極  
19 絶縁膜  
20 n<sup>-</sup>高抵抗領域

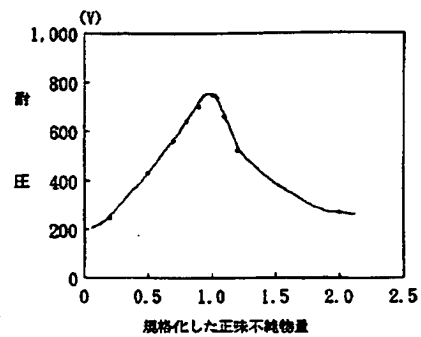
【図 2】



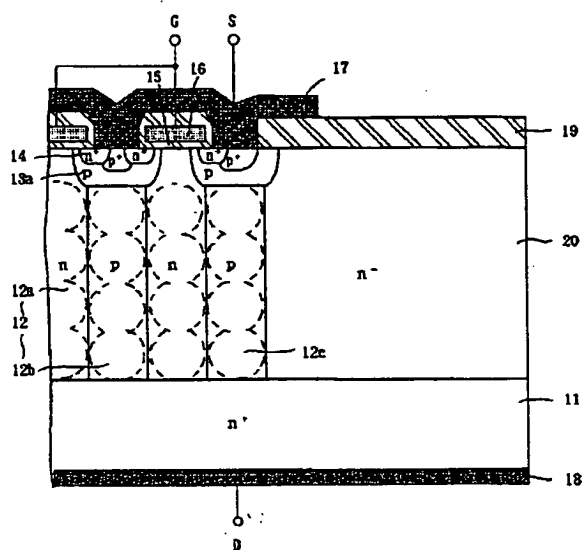
【図3】



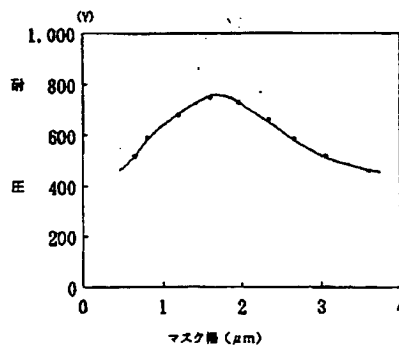
【図5】



【図4】



【図6】



【図7】

